

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-214160

(43)Date of publication of application : 27.08.1990

(51)Int.Cl.

H01L 29/44  
// H01L 27/14  
H01L 31/10

(21)Application number : 01-034375

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 14.02.1989

(72)Inventor : SHIBA TETSUO

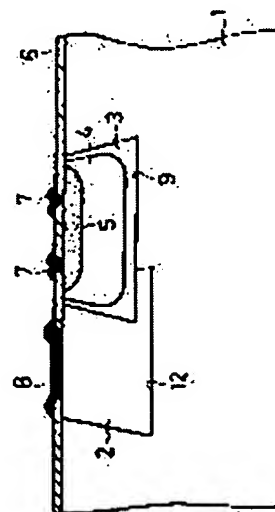
## (54) SEMICONDUCTOR ELEMENT

(57)Abstract:

**PURPOSE:** To expand a contact area between a semiconductor layer at a lowermost layer and an electrode by a method wherein an electrode extraction layer from the semiconductor layer at the lowermost layer is formed in a separate region.

**CONSTITUTION:** A groove 12 is dug in a semiinsulating substrate 1; after that, it is filled with an electrode extraction layer 2; after that, a groove 9 is formed newly so as to include the electrode extraction layer 2; individual layers 3 to 5 constituting an optical device are filled into the groove 9.

Accordingly, the electrode extraction layer 2 comes into contact with the semiconductor layer 3 at a lowermost layer for the optical device over a wide area; when its conductivity type is identical to that of the semiconductor layer, they can be conductive at a low contact resistance; in addition, the extraction layer is exposed wholly on the surface of the substrate 1 and comes into contact with an electrode 8 in a wide area. Thereby, a contact area between the semiconductor layer 3 at the lowermost layer and the electrode 8 extracted on the surface of the substrate 1 can be made large.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

## ⑫ 公開特許公報(A) 平2-214160

⑤ Int. Cl.<sup>5</sup> 識別記号 庁内整理番号 ⑬ 公開 平成2年(1990)8月27日  
H 01 L 29/44 B 7638-5F  
// H 01 L 27/14  
31/10  
7733-5F H 01 L 31/10 A  
7377-5F 27/14  
審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 半導体素子

⑮ 特 願 平1-34375

⑯ 出 願 平1(1989)2月14日

⑰ 発 明 者 芝 哲 夫 兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社光・マイクロ波デバイス研究所内

⑱ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

⑲ 代 理 人 弁理士 大岩 増雄 外2名

## 明 細 書

## 1. 発明の名称

半導体素子

## 2. 特許請求の範囲

半絶縁性基板中に半導体層が多層に形成され、これらの半導体層のうち最上層および最下層の半導体層からそれぞれ電極を前記半絶縁性基板表面に取り出した半導体素子において、前記最下層の半導体層から取り出す電極の接触面積を大きくするための電極取出し層を前記最下層の半導体層の少なくとも一部に接して形成したことを特徴とする半導体素子。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は、基板表面に電極を取り出した半導体素子に関するものである。

(従来の技術)

近年、高速化、低価格化を目指して光素子と電子素子の集積化(いわゆるOEIC)が図られている。OEICの実現のためには半絶縁性基板中

に光素子を平坦に埋め込む必要がある。

第4図は半絶縁性基板中に溝を掘ったあと光デバイスを想定して積層構造を、例えばMOCVD法等により選択的に埋込み成長を行った場合の断面構造を示す。成長された各層、すなわち、半絶縁性基板1に形成した溝9中に多層に形成された最下層の半導体層3、第1半導体層10、第2半導体層11および最上層の半導体層5のそれぞれは、図のように溝9の壁面に沿って成長される。

次に、このように成長された半導体層から電極を取り出す方法を考える。

光デバイスは一般に電流が流れる方向が各層に対して垂直方向であるので、電極は埋め込んだ層のうち最下層の半導体層3と最上層の半導体層5とから取り出すことになる。

第3図は具体的に最下層の半導体層3と最上層の半導体層5から電極7、8を取り出した場合の構造断面図を示す。

第3図に示すように、溝9内に最下層の半導体層3、活性層4、および最上層の半導体層5の埋

込み成長を行った場合、成長表面から見ると最上層の半導体層5がほとんどを覆っており、最下層の半導体層3の露出面積はきわめて少ない。

(発明が解決しようとする課題)

従って、第3図からわかるように、電極8が最下層の半導体層3と接触できる面積は少なく、パターン合わせの困難さを伴うとともに、接触抵抗が増大する等の問題が生じてくる。

この発明は、上記のような問題点を解消するためになされたもので、最下層の半導体層と電極の接触面積を広くとれる構造の半導体素子を得ることを目的とする。

(課題を解決するための手段)

この発明に係る半導体素子は、最下層の半導体層から取り出す電極の接触面積を大きくするための電極取出し層を最下層の半導体層の少なくとも一部に接して形成したものである。

(作用)

この発明においては、最下層の半導体層からの電極取出し層を別領域に形成したので、電極取り

出し層と電極との接触面積が広くとれ、最下層の半導体層との電氣的導通が容易なものとなる。

(実施例)

以下、この発明の一実施例を図面について説明する。

第1図はこの発明の一実施例を示す埋込型半導体素子の断面図である。第1図において、第3図、第4図と同一符号は同一構成部分を示し、2は前記半絶縁性基板1に新たに形成された電極取出し層で、最下層の半導体層3とは別領域に、かつ少なくとも最下層の半導体層3に接して形成される。6は絶縁膜、7は前記最上層の半導体5から取り出した最上層側の電極、8は前記最下層の半導体層3から取り出した最下層側の電極である。

この製造方法としては、半絶縁性基板1に溝12を掘ったあと、電極取出し層2を埋め込み、その後、電極取出し層2を含むように、溝9を新たに形成し、この溝9に光素子を構成する各層3、4、5を埋め込むことにより形成できる。

新たに形成された電極取出し層2は、光素子の最下層の半導体層3と広い面積にわたって接触しているため、導電型を同じにしておけば低い接触抵抗で導通がとれる。一方、この電極取出し層2は単一の層で埋め込まれているため基板表面に全面が露出しており、電極8とも広い面積で接触できる。したがって、電極8のパターニングも容易で、その接触抵抗も低くできる。

第2図はこの発明の他の実施例を示す埋込型半導体素子の断面図である。この場合は、溝9を電極取出し層2中に形成し、その後、光素子の各層3、4、5を埋め込んだものであり、第1図と同様の効果が得られる。

なお、上記実施例では、電極取出し層2を埋込み成長により形成したが、この層は拡散、イオン注入等のドーピング技術により形成してもよく、同様の効果を奏する。

(発明の効果)

以上説明したように、この発明は最下層の半導体層から取り出す電極の接触面積を大きくするた

めの電極取出し層を最下層の半導体層の少なくとも一部に接して形成したので、基板表面上に取り出す電極の接触面積が大きくなり、その接触抵抗が低減し、かつパターン合せが容易となる等の効果が得られる。

4. 図面の簡単な説明

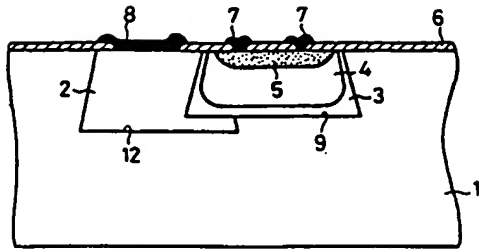
第1図はこの発明の一実施例を示す埋込型半導体素子の断面図、第2図はこの発明の他の実施例を示す埋込型半導体素子の断面図、第3図は従来の埋込型半導体素子を示す断面図、第4図は溝を結晶成長により埋め込んだ場合の層構造を示す断面図である。

図において、1は半絶縁性基板、2は電極取出し層、3は最下層の半導体層、5は最上層の半導体層、7は最上層側の電極、8は最下層側の電極である。

なお、各図中の同一符号は同一または相当部分を示す。

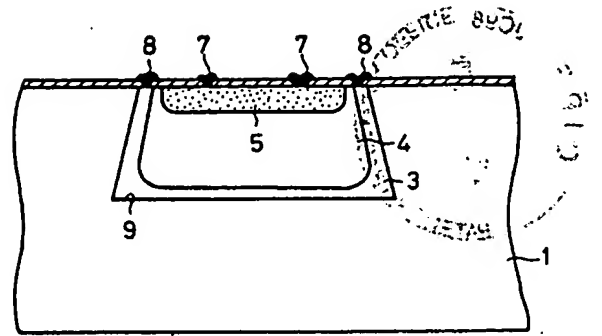
代理人 大 岩 増 雄 (ほか1名)

第 1 図

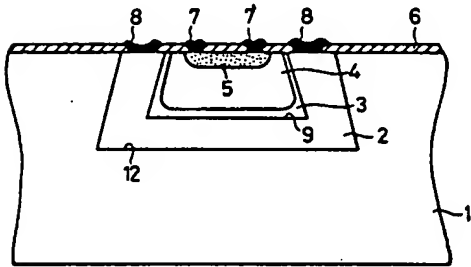


- 1 : 半絶縁性基板
- 2 : 電極取出し層
- 3 : 最下層の半導体層
- 5 : 最上層の半導体層
- 7 : 最上層側の電極
- 8 : 最下層側の電極

第 3 図



第 2 図



第 4 図

